

# Transistors à effet de champ

## 1.1 Description

Les transistors unipolaires ou transistors à effet de champ TEC(ou FET en anglais pour Field Effect Transistor) sont basés sur la modulation par un champ électrique transversal du courant qui traverse un semi conducteur.

Ils existent sous deux formes différentes.

- Le transistor TEC à jonction ou le J-FET pour *Junction –FET*.
- Le transistor TEC à grille isolée ou MOS-FET pour acronyme anglais de *Metal Oxide Semiconductor Field Effect Transistor* -

Par comparaison aux transistors bipolaires, les TEC présentent :

Les avantages suivants,

- Leur fabrication est plus simple et ils occupent moins de place sur un circuit intégré.
- Leur résistance d'entrée est très grande (plusieurs dizaine de Mohms).
- Leur bruit est plus faible.

Les inconvénients suivants,

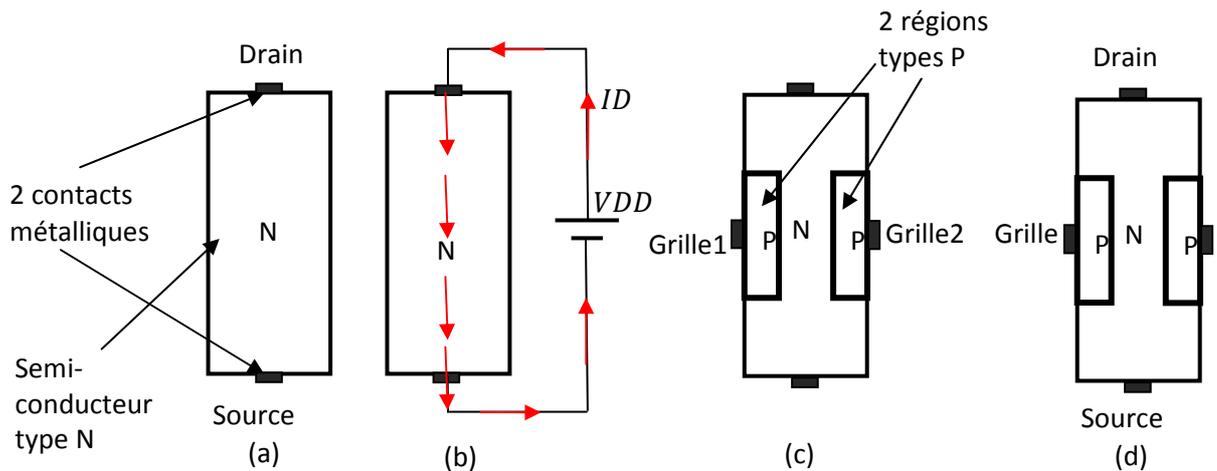
- Performances moins bonnes aux fréquences élevées c'est-à-dire Gain x bande passante moins bon.

## 1.2 Le TEC à Jonction ou JFET

Pour fabriquer un transistor J-FET on utilise un semi-conducteur, ce dernier peut être de type N ou P *figure 1.1*.

Dans la *figure 1.1a* le semi-conducteur est de type N, il réuni deux contacts métalliques appelés Drain et Source, il est appelé dans ce cas Canal.

Si le canal est alimenté par une tension VDD entre le Drain et la Source, cette tension produit un courant  $I_D$  qui dépend de la résistance du canal *figure 1.1b*.



**Figure 1.1**

En insérant dans le semi-conducteur N deux régions de types P de chaque coté du canal, on obtient le TEC à jonction à canal N *figure 1.1c*.

Chacune des régions P est une électrode de commande appelée Grille.

Dans la plus part du temps les 2 grilles sont raccordées de l'intérieur, donc on aura une seule Grille *figure 1.1d*.

Pour fabriquer un J FET à canal P, on procède de la même manière, on remplace simplement le semi-conducteur de type N par un semi-conducteur de type P et on remplace les régions P par des régions N et on inverse VDD.

### 1.2.1 L'effet de champ

En partant de la *figure 1.1d* avec les 2 grilles raccordées et en les polarisant par une tension VGG négative *figure 1.2a* on aura l'apparition de 2 couches appelées couches de déplétions *figure 1.2b*.

Donc le nom d'effet de champ vient de l'apparition de ces 2 couches de déplétions qui entourent chaque jonction PN.

Le courant qui circule de du Drain vers la Source doit passer par le canal resserré entre les 2 couches de déplétions.

Les dimensions de ces 2 couches déterminent la largeur du canal de conduction, plus la tension  $V_{GG}$  est négative et plus le canal de conduction devient étroit car les 2 couches de déplétions se rapprochent l'une de l'autre sous l'effet du courant  $I_G$  sortant de  $V_{GG}$  qui vient se retrancher au courant  $I_D$  sortant de  $V_{DD}$ .

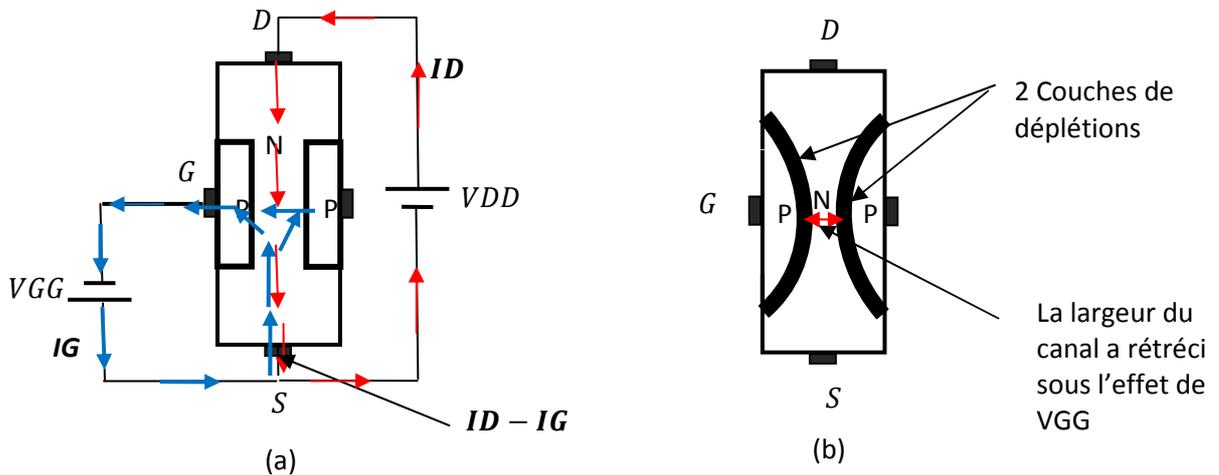


Figure 1.2

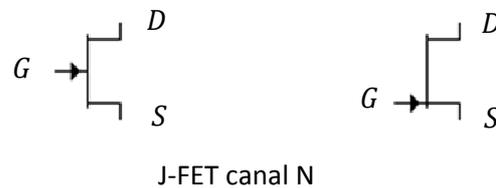
Autrement dit la tension grille  $V_{GG}$  commande le courant entre la Source et le Drain, plus la tension grille est négative et plus ce courant est faible.

### 1.2.2 Polarisation d'un J-FET

La figure 1.2a représente la polarisation normale d'un TEC à jonction à canal N ou J-FET à canal N. Une tension négative par rapport à la source est appliquée à la grille.

Comme la Grille est polarisée en inverse, il n'y a dans la connexion grille qu'un courant très faible qu'on négligera en première approximation.

### 1.2.3 Symboles schématique



J-FET canal N



J-FET canal P

Figure 1.3

La figure 1.3 représente les symboles les plus utilisés pour les J-FET à canal N et P.

### 1.3 Régime de fonctionnement du JFET et réseaux de caractéristiques

Pour bien comprendre le fonctionnement du J-FET, on va considérer la figure 1.4.

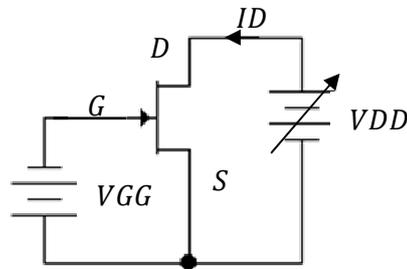


Figure 1.4

Nous allons mesurer le courant  $ID$  en faisant varier la tension  $VDD$  qui est la tension appliquée entre le Drain et la Source et en gardant constante la tension  $VGG$  qui est la tension appliquée entre la Grille et la Source. Dans ce cas  $VDD = VDS$  et  $VGG = VGS$

Les courbes de la figure 1.5 représentent la caractéristique de  $ID = f(VDS)$  à  $VGS = cste$

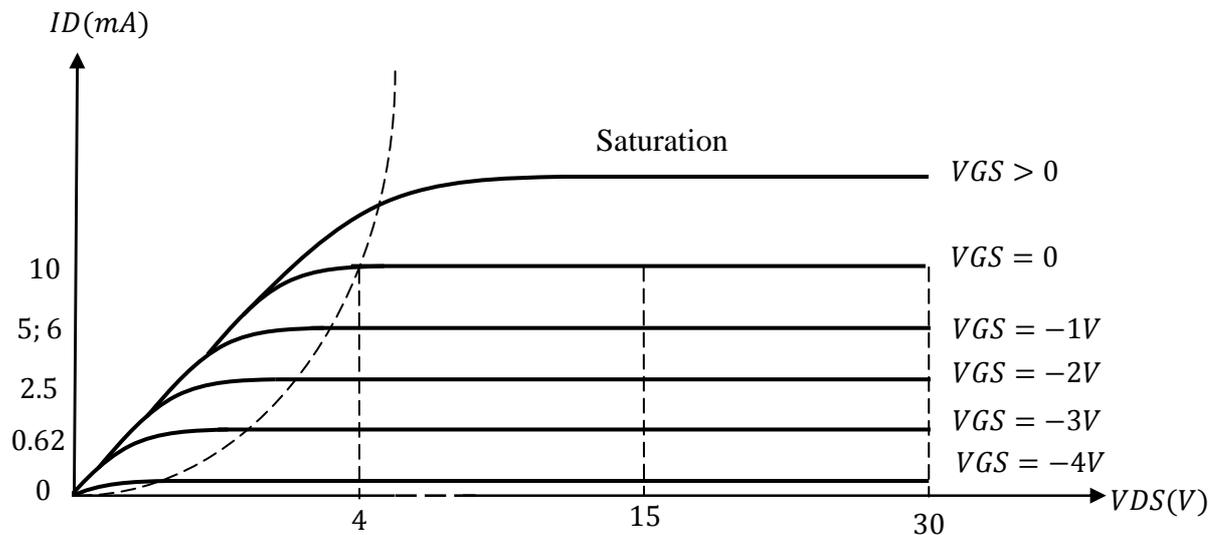
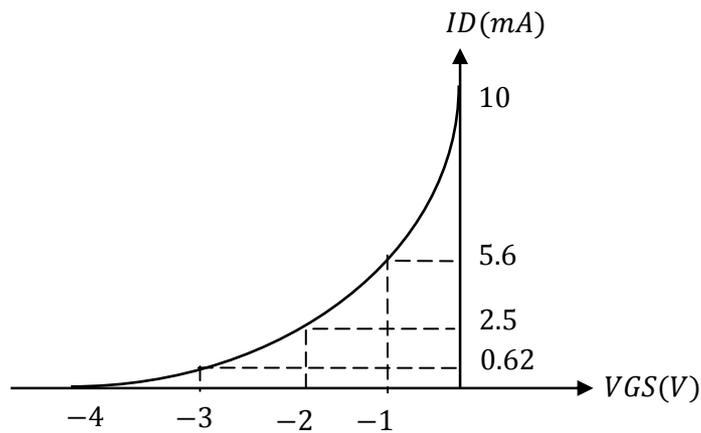


Figure 1.5

#### 1.3.1 Caractéristique de transconductance

De la figure 1.5 on peut tracer la caractéristique de transconductance  $ID = f(VGS)$ , on obtient la courbe de la figure 1.6. Dans ce cas  $VGS$  est toujours négative car le transistor TEC à jonction est à canal N, Pour le transistor TEC à jonction à canal P,  $VGS$  sera toujours positive.



**Figure 1.6**

De la *figure 1.6* on déduit que la courbe de  $ID = f(VGS)$  est **une courbe parabolique**. Cette courbe parabole est appelée **conductance de transfert** ou **caractéristique de transconductance**. On voit donc que cette caractéristique est sous forme d'un **arc**. On peut démontrer que l'équation de la courbe de caractéristiques de transconductance est de la forme :

$$ID = IDSS \left(1 - \frac{VGS}{VGS0}\right)^2 \quad (1.1)$$

$VGS0$  étant la tension pour laquelle  $ID = 0$ , elle est appelée tension de pincement et on la note parfois par  $VP$ , car dans ce cas le canal se ferme par les 2 couches de déplétions vu précédemment et le courant  $ID$  ne peut pas passer ou passe difficilement.

$IDSS$  est le courant Drain de saturation.

Donc de cette équation, on peut calculer le courant drain pour chaque valeur de la tension grille.

Dans la *figure 1.4* on a considéré un transistor JFET à canal N donc  $VGS$  est dans ce cas négative.

**Exemple**  $VGS0 = -4V$ ,  $IDSS = 4mA$  et  $VGS = -3V$ , calculer  $ID$ .

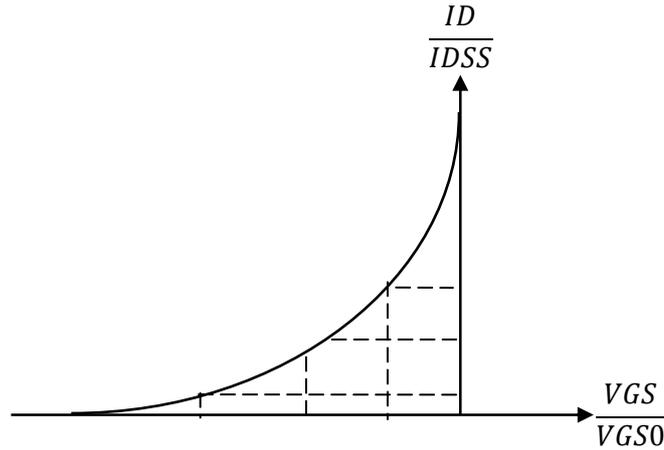
On trouve  $ID = 0.25 mA$

### 1.3.2 La caractéristique de transconductance normalisée

On peut mettre l'équation (1.1) sous la forme :

$$\frac{ID}{IDSS} = \left(1 - \frac{VGS}{VGS0}\right)^2 \quad (1.2)$$

On peut tracer ensuite la courbe de  $\frac{ID}{IDSS} = f\left(\frac{VGS}{VGS0}\right)$ , *figure 1.7*



**Figure 1.7**

Donc pour polariser un TEC à jonction ou JFET au milieu de sa gamme des courants utiles, on doit trouver  $ID$  à peu près égal à la moitié de  $IDSS$ . D'où

$$VGS = \frac{VGS0}{4} \quad (1.3)$$

C'est la polarisation médiane.

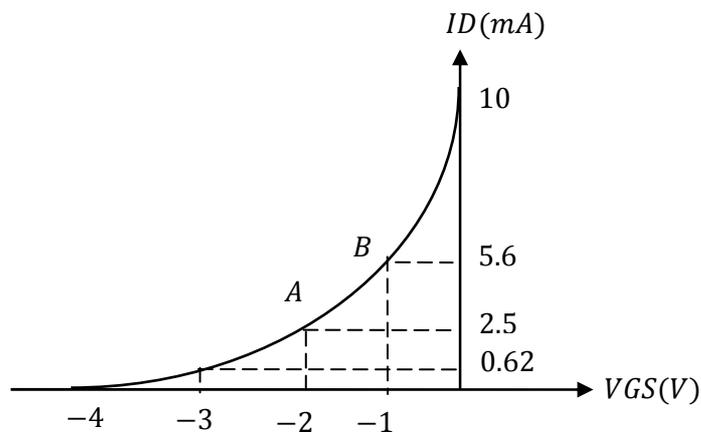
### 1.3.3 La transconductance $gm$

On définit la transconductance  $gm$  ou transconductance mutuelle par :

$$gm = \frac{\Delta ID}{\Delta VGS} \quad (1.4)$$

#### Exemple

Calculer  $gm$  à partir de la courbe, *figure 1.8*



**Figure 1.8**

$$gm = \frac{\Delta ID}{\Delta VGS} = \left| \frac{IDB - IDA}{VGSB - VGSA} \right| = \left| \frac{5.6 - 2.5}{-1 - (-2)} \right| = 3.1 \frac{mA}{V} = 3.1 \cdot 10^{-3} \Omega^{-1}$$

On peut trouver  $g_m$  en calculant dans l'équation (1.1) la dérivée de  $ID$  par rapport à  $V_{GS}$  on trouve:

$$g_m = g_{m0} \left(1 - \frac{V_{GS}}{V_{GS0}}\right) \quad (1.5)$$

Avec 
$$g_{m0} = -\frac{2ID_{SS}}{V_{GS0}}$$

## 1.4 Le transistor MOSFET

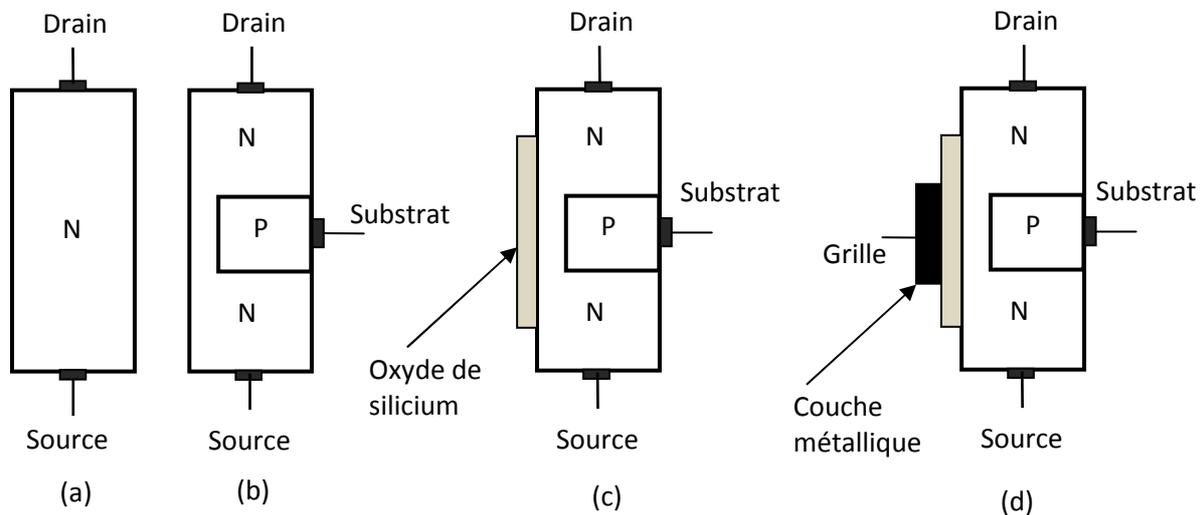
Ce transistor est appelé aussi MOSFET **double régions** ou **TEC à grille isolée** normalement fermée.

Dans tout ce qui suit on va étudier le MOSFET canal N et le même raisonnement est applicable pour le MOSFET canal P bien sur le substrat N sera remplacé par le substrat P et inversement et les tensions seront inversées.

### 1.4.1 Principe du MOSFET canal N

On prend un substrat type N *figure 1.9a* et puis on dépose un substrat type P très faiblement dopé *figure 1.9b*, donc on réalise 2 régions de types N fortement dopés qui sont reliées respectivement aux électrodes Source et Drain.

Une couche d'oxyde de silicium *figure 1.9c* recouvre cet ensemble et par-dessus cette couche, qui joue le rôle d'isolant, on dispose une mince couche métallique (aluminium) reliée à l'électrode Grille.



**Figure 1.9**

La différence principale entre un TEC à jonction (JFET) et un TEC à grille isolée (MOSFET) réside dans le fait qu'on peut appliquer à la grille de ce dernier des tensions positives et encore avoir un courant grille qui est pratiquement nul.

On dit alors que le MOS FET a 2 régimes de fonctionnement:

- Régime de déplétion quand  $V_{GS}$  est négative donc se comporte comme un JFET.
- Régime d'enrichissement quand  $V_{GS}$  est positive

### 1.4.2 Régime de déplétion

Quand on applique une tension  $V_{GS}$  inférieure à zéro *figure 1.10a*, les électrons qui circulent dans le canal sont repoussés et par suite la conductance du canal diminue ; on dit qu'on est en régime de déplétion ou d'appauvrissement *Figure 1.10b*. Dans ce cas le MOSFET se comporte comme un transistor JFET à canal N.

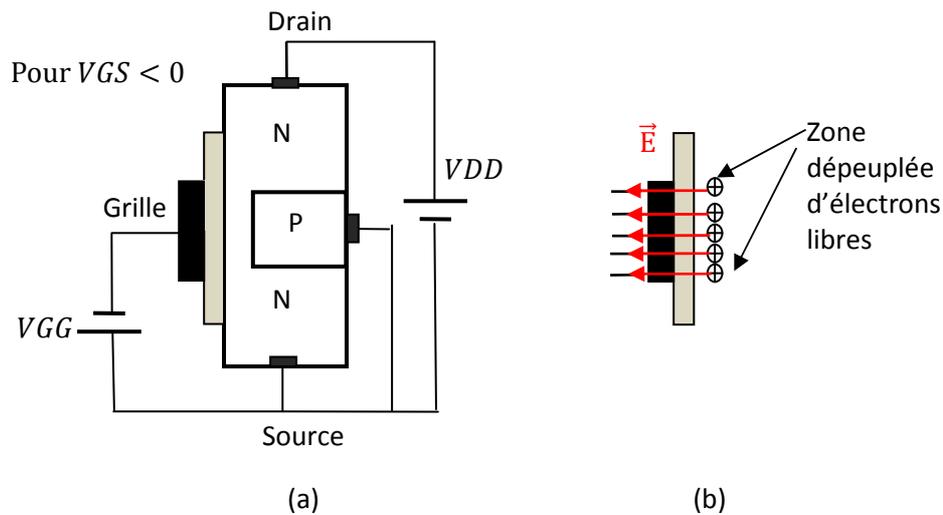


Figure 1.10

### 1.4.3 Régime d'enrichissement

Dans ce cas, on applique une tension  $V_{GS}$  supérieure à zéro, il apparaît alors une couche de type N entre les 2 zones de types N *figure 1.11a*. Plus on augmente la tension  $V_{GS}$  et plus cette couche devient épaisse. On dit que la conductance a augmenté par enrichissement en électrons *figure 1.11b*.

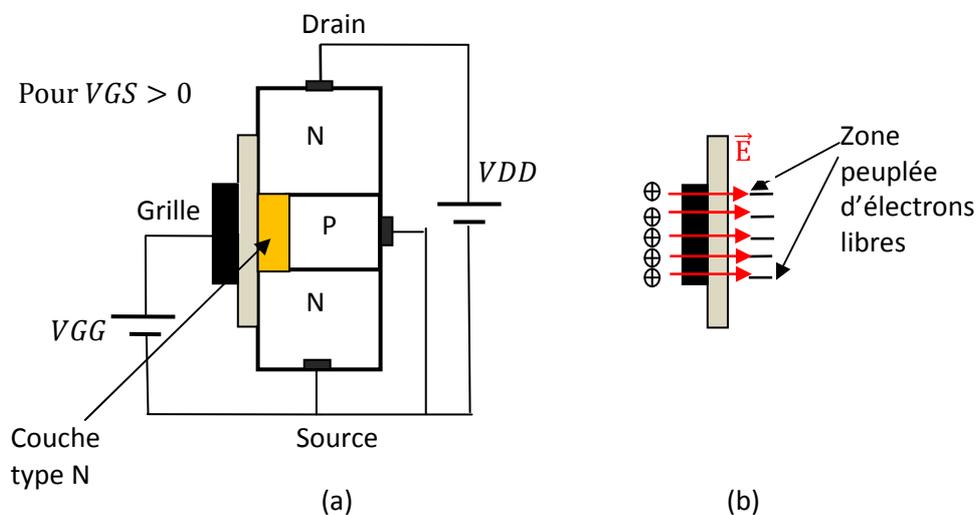


Figure 1.11

## 1.5 Réseaux de caractéristique du MOSFET

De la même manière que pour le JFET nous avons tracé  $ID = f(VDS)$  à  $VGS = cste$  mais cette fois  $VGS$  peut être inférieure à zéro ou supérieure à zéro, *figure 1.12*.

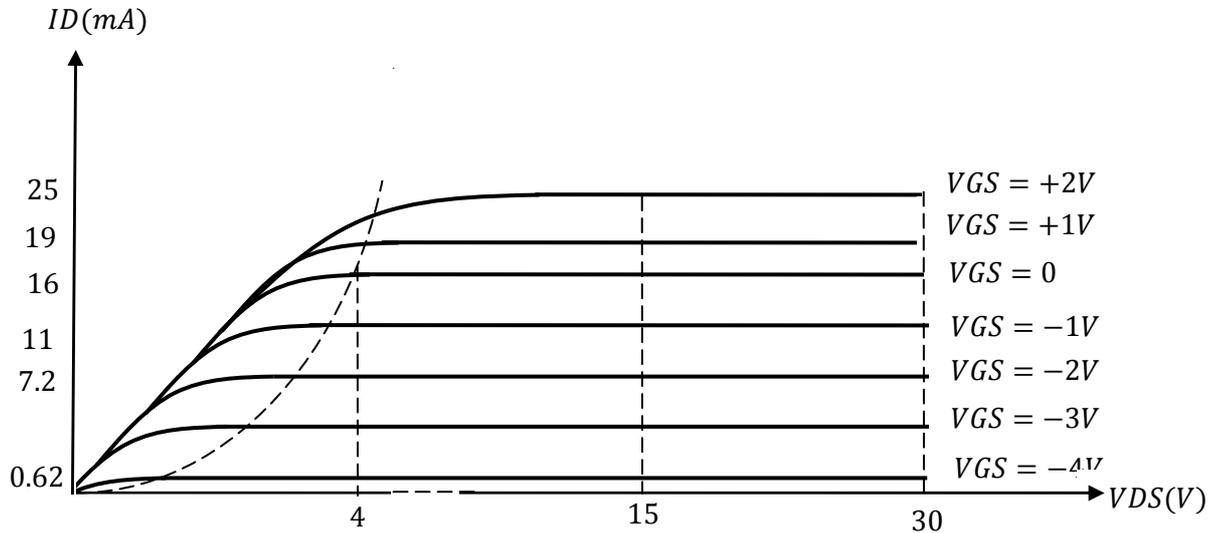


Figure 1.12

### 1.5.1 Caractéristiques de transconductance

De la *figure 1.12*, on peut tracer la courbe de  $ID = f(VGS)$ , *figure 1.13*

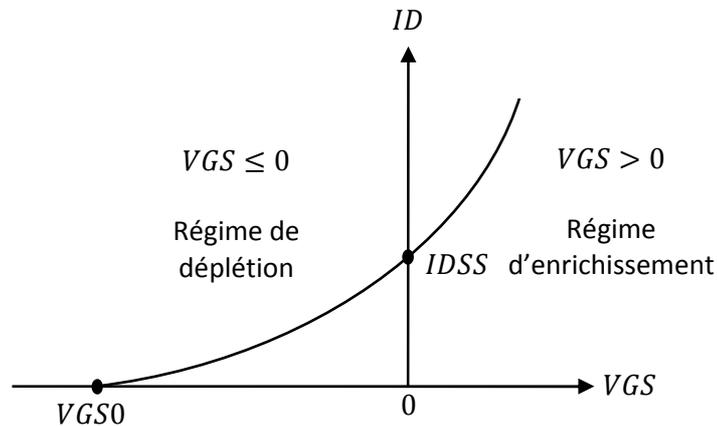
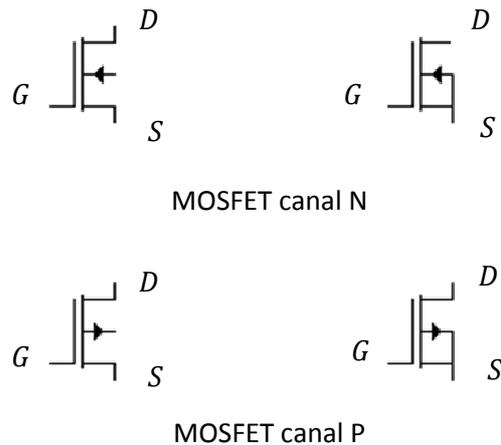


Figure 1.13

De la *figure 1.13* on constate bien les deux régimes de fonctionnement et que le MOSFET a la même équation parabolique que celle d'un JFET.

$$ID = IDSS \left(1 - \frac{VGS}{VGS0}\right)^2 \quad (1.6)$$

### 1.5.2 Symboles schématique

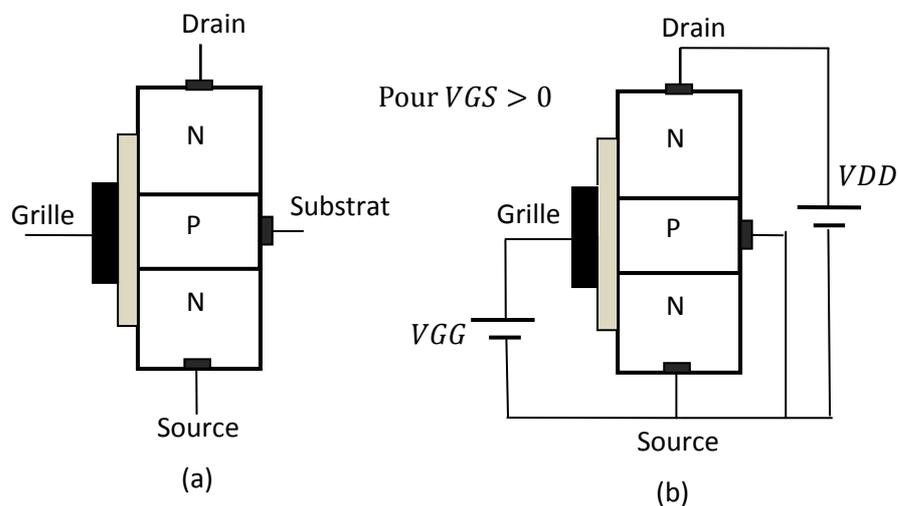


**Figure 1.14**

La *figure 1.14* représente les symboles d'un MOSFET à canal N et à canal P.

En fait il existe une autre catégorie de transistors MOSFET qui fonctionnent uniquement pour les tensions  $V_{GS}$  positives qui sont les TEC E canal N ou E MOSFET canal N et les transistors MOSFET qui fonctionnent uniquement pour les tensions  $V_{GS}$  négatives qui sont les TEC E canal P ou les E MOSFET canal P.

### 1.6 MOSFET en régime d'enrichissement ou TEC E



**Figure 1.15**

#### 1.6.1 Fonctionnement

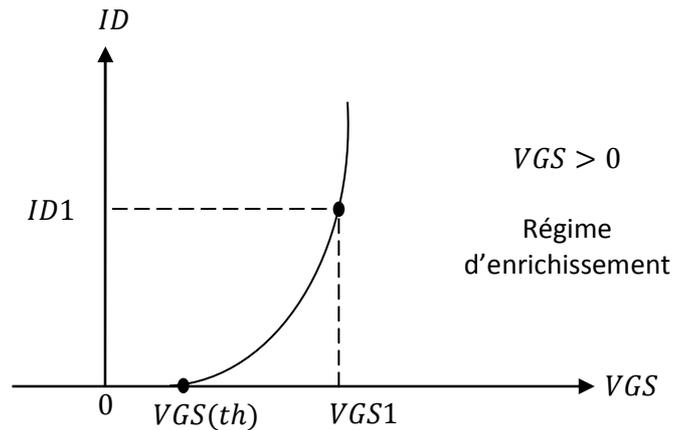
Dans la *figure 1.15a* le substrat P coupe le substrat N en 2 zones. La *figure 1.15b* représente la polarisation normale d'un TEC E canal N. Pour que le courant  $I_D$  passe, il faut appliquer une tension  $V_{GS}$  supérieure à zéro. Donc la grille se comporte comme une armature de condensateur, l'oxyde comme un diélectrique et le substrat comme l'autre armature. Autrement dit, lorsque la tension de la grille est suffisamment positive, elle peut créer une

mince couche d'électrons libre qui va de la source au drain. Cette couche va se comporter comme un semi conducteur de type N, c'est pourquoi la couche du substrat P en contact avec l'oxyde est appelée **la couche d'inversion** de type N.

La tension minimale qui produit la couche d'inversion est appelée la **tension de seuil**  $V_{GS}(Th)$ ,  $Th$  pour Threshold.

### 1.6.2 Caractéristique de transconductance du TEC E

De la même manière que précédemment on trace la caractéristique de transconductance  $ID = f(V_{GS})$ , on obtient la courbe de la *figure 1.16*



**Figure 1.16**

On peut démontrer que cette courbe est de la forme :

$$ID = K(V_{GS} - V_{GS}(Th))^2 \quad (1.7)$$

$K$  étant une constante caractéristique du composant. TEC E

Si on connaît  $V_{GS}$ ,  $V_{GS}(Th)$  et  $ID$  on peut calculer  $K$

### 1.6.3 Symboles schématique



**Figure 1.17**

Le transistor unipolaire ou transistor à effet de champ (TEC), a comme le transistor bipolaire un point de fonctionnement en régimes statique et dynamique, il a une droite de charge en statique et une droite de charge en dynamique. Le transistor TEC peut être monté en montage

source commune, drain commun et grille commune par analogie au transistor bipolaire montage en émetteur commun, collecteur commun et base commune.

Dans toute la suite nous considérons un transistor J-FET et le même raisonnement pourra être fait pour le transistor MOSFET à part le symbole qui change.

## 1.7 Etude statique d'un transistor à effet de champ

On va considérer la *figure 1.4*, donc un TEC à jonction à canal N, il faut donc que  $V_{GS}$  soit alimentée négativement. Le schéma de la *figure 1.18* est le schéma réel d'un montage avec un transistor TEC à jonction à canal N (J-FET à canal N).

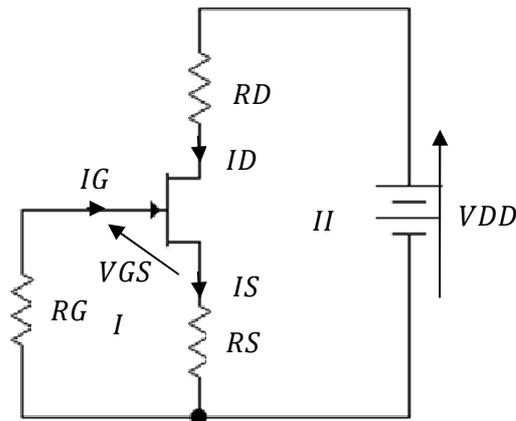


Figure 1.18

Avec

$V_{DD}$ , tension d'alimentation à la place de  $V_{CC}$  dans le transistor bipolaire.

$R_D$ , la résistance de polarisation du Drain à la place de  $R_C$  dans le transistor bipolaire,

$R_S$ , la résistance de polarisation de la Source à la place de  $R_E$  dans le transistor bipolaire,

$R_G$ , la résistance de polarisation de la Grille à la place de  $R_B$  dans le transistor bipolaire,

$V_{DS}$ , tension Drain-Source en continu à la place de  $V_{CE}$  dans le transistor bipolaire,

$V_{GS}$ , tension Gille-Source en continu à la place de  $V_{BE}$  dans le transistor bipolaire,

$I_D$ , le courant qui traverse le Drain à la place de  $I_C$  dans le transistor bipolaire,

$I_S$ , le courant qui traverse la source à la place de  $I_E$  dans le transistor bipolaire,

$I_G$ , le courant qui traverse la Grille à la place de  $I_B$  dans le transistor bipolaire.

### 1.7.1 La polarisation automatique

Appliquons la loi des mailles aux 2 mailles  $I$  et  $II$  :

**Maille I**

$$0 = R_G I_G + V_{GS} + R_S I_S \quad (1.8)$$

Or  $I_G$  est **pratiquement nul**,  $I_G = 0$  d'ou l'équation (1.8) devient

$$0 = V_{GS} + R_S I_S \Rightarrow$$

$$VGS = -RS IS \quad (1.9)$$

La relation (1.9) dicte le fonctionnement normal d'un transistor J-FET et est à la base du calcul de  $RS, IS$  ou  $VGS$  si on connaît les 2 autres paramètres, c'est la **polarisation automatique**.

### Maille II

$$VDD = RD ID + VDS + RS IS \quad (1.10)$$

Du fait que  $IGest$  nul, le courant  $ID$  qui traverse le canal est le même  $IS$  (voir *figure 1.2a*), d'où l'équation (1.10) devient :

$$VDD = (RS + RD) ID + VDS \quad (1.11)$$

De cette équation, on tire  $ID$  :

$$ID = \frac{VDD - VDS}{RS + RD}$$

En réarrangeant l'équation précédente, on obtient :

$$ID = -\frac{VDS}{RS + RD} + \frac{VDD}{RS + RD} \quad (1.12)$$

Cette dernière équation est l'équation **de la droite de charge statique**.

### 1.7.2 Droite de charge statique

Pour tracer cette droite, il faut tracer  $ID = f(VDS)$ , or on remarque que l'équation (1.12) est de la forme  $y = ax + b$  donc la forme d'une droite qu'on peut tracer.

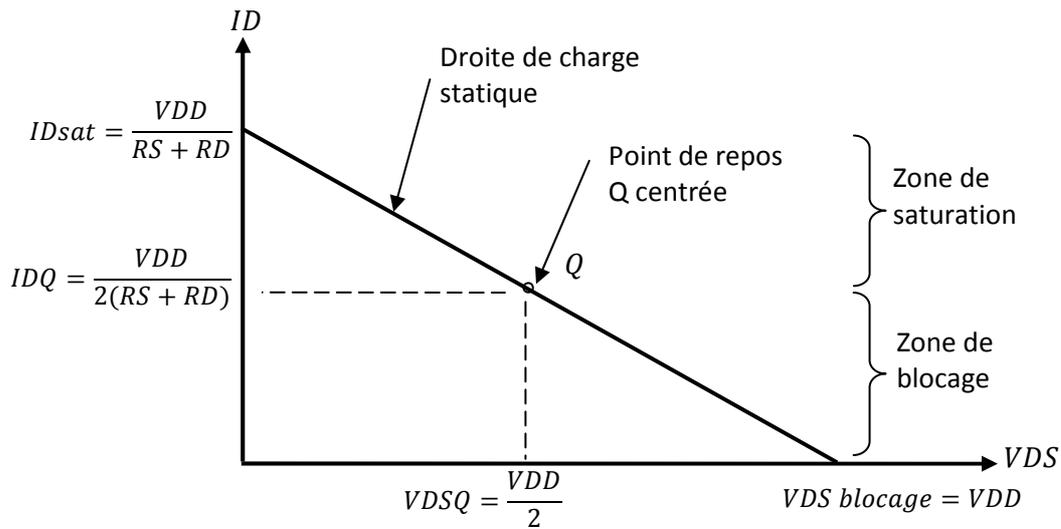
Avec

$$a = -\frac{1}{RS + RD}$$

$$b = \frac{VDD}{RS + RD}$$

Pour tracer cette droite, on a besoin de 2 points, *figure 1.19* :

Pour  $VDS = 0$  on a  $ID = ID_{sat} = \frac{VDD}{RS + RD}$   
 Et pour  $ID = 0$  on a  $VDS = VDS_{blocage} = VDD$



**Figure 1.19**

### 1.7.3 Le point de repos en régime statique

Le point de repos est le point de polarisation du transistor TEC, comme celui des transistors bipolaires, il peut être situé n'importe où sur la droite de charge statique, parfois on le choisit au milieu de la droite de charge statique.

Le point de repos  $Q$  est défini par une abscisse  $VDSQ$  et une ordonnée  $IDQ$ .

Si on choisit par exemple  $VDSQ$ , on peut calculer facilement  $IDQ$  de l'équation (1.12), d'où :

$$IDQ = -\frac{VDSQ}{RS+RD} + \frac{VDD}{RS+RD} \quad (1.13)$$

Si le point  $Q$  est au milieu de la droite de charge statique, on trouve, *figure 1.19* :

$$\begin{cases} VDSQ = \frac{VDD}{2} \\ IDQ = \frac{VDD}{2(RS+RD)} \end{cases} \quad (1.14)$$

## 1.8 Etude dynamique d'un transistor à effet de champ

Pour faire l'étude dynamique ou en alternatif, on va supposer que le courant instantané  $ID$  et la tension instantanée  $VDS$  varient au cours du temps par rapport aux points de repos choisis  $IDQ$  et  $VDSQ$  d'une certaines quantités  $\Delta ID = id$  et  $\Delta VDS = vds$ , donc ;

$$\begin{cases} ID = IDQ + \Delta ID = IDQ + id \\ VDS = VDSQ + \Delta VDS = VDSQ + vds \end{cases} \quad (1.15)$$

D'où on peut déduire les variations de courant et de tension

$$\begin{cases} id = ID - IDQ \\ vds = VDS - VDSQ \end{cases} \quad (1.16)$$

### Remarque

Dans la majorité des cas, le courant variable  $id$  et la tension variable  $vds$  sont supposés sinusoïdaux et par suite possèdent chacun une fréquence et une amplitude.

Parfois on trouve dans les livres  $\Delta ID$  et  $\Delta VDS$  au lieu de  $id$  et  $vds$  pour indiquer qu'ils sont variables, donc c'est un choix d'écriture.

### 1.8.1 Schéma équivalent en alternatif du transistor FET pour les basses fréquences

Quand on est en régime alternatif on doit utiliser le schéma équivalent du TEC comme pour les transistors bipolaires. Pour les bipolaires on travaille avec le courant  $ib$  comme paramètre d'entrée et  $vce$  comme paramètre de sortie ; pour les TEC on travaille avec la tension  $vgs$  comme paramètre d'entrée et  $vds$  comme paramètre de sortie, *figure 1.20*. Cela est à cause du courant  $ig$  qui est encore considéré nul en alternatif.

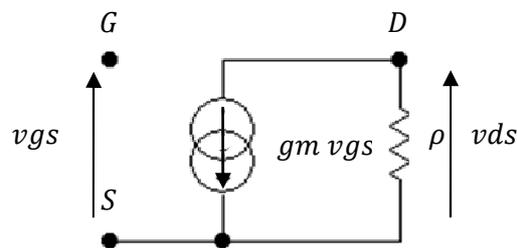


Figure 1.20

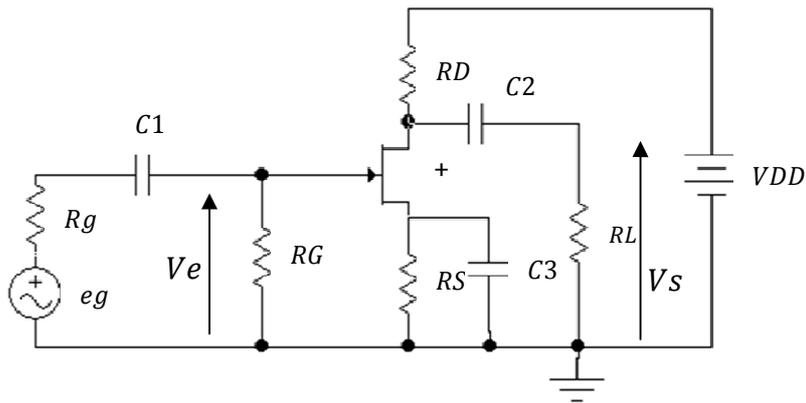
On constate sur le schéma équivalent du TEC qu'il ne possède pas de résistance d'entrée, elle est infinie, c'est normal on la écrit plus haut  $ig = 0$ . Dans le cas du transistor bipolaire c'est  $h11$  et elle a une valeur finie du fait que  $ib \neq 0$ .

Le TEC possède une résistance  $\rho = h22^{-1}$  entre le Drain et la Source, elle est semblable à celle du transistor bipolaire, parfois elle est très grande et donc supprimer du schéma de la *figure 1.20*, par contre si elle a une valeur finie, on doit en tenir compte.

### 1.8.2 Droite de charge dynamique

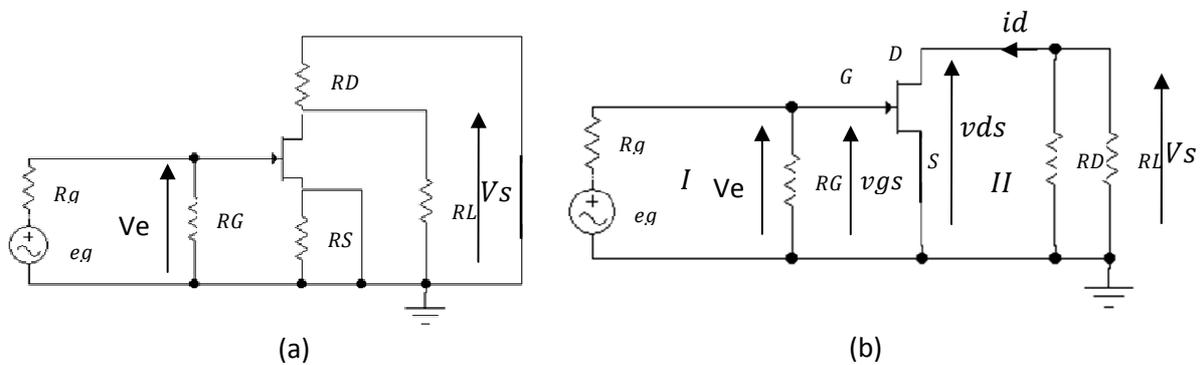
De la même manière, pour tracer la droite de charge dynamique (ou en dynamique ou en alternatif), il faut avoir un montage et faire son schéma équivalent en alternatif. Pour cela on va utiliser le même schéma que celui de la *figure 1.18* mais en lui ajoutant un générateur de tension  $eg$  supposée sinusoïdale de résistance interne  $rg$  et des capacités de liaisons ( $C1, C2$ ), et d'une capacité de découplage ( $C3$ ) *figure 1.21*.

La tension  $Ve$  est la tension d'entrée à la Grille et la tension  $Vs$  est la tension de sortie du Drain.



**Figure 1.21**

Pour faire le schéma équivalent en alternatif, on rappelle que la tension continue  $V_{DD}$  et toutes les capacités se comportent comme des court circuits, *figure 1.22a*.



**Figure 1.22**

La *figure 1.22b* est la même *figure 1.22a*, on a retourné uniquement  $R_D$  pour voir plus clair et  $R_S$  a été court-circuitée par le condensateur  $C_3$ .

De la même manière que précédemment on applique la loi des mailles à l'entrée (maille I) et à la sortie (maille II) dans la *figure 1.22b*.

On pose  $r_d = R_D // R_L$

**Maille I**

$$V_e = v_{gs} \quad (1.17)$$

**Maille II**

$$V_s = -r_d i_d \quad (1.18)$$

Or on voit dans la *figure 1.22b* que  $V_s$  est prise entre le Drain (D) et la Source (S), donc ;

$$V_s = v_{ds} \quad (1.19)$$

Donc de (1.18) et (1.19) on obtient :

$$vds = -rd id \quad (1.20)$$

Maintenant en remplaçant  $id$  et  $vds$  par leurs expressions de l'équation (16) on obtient :

$$VDS - VDSQ = -rd(ID - IDQ)$$

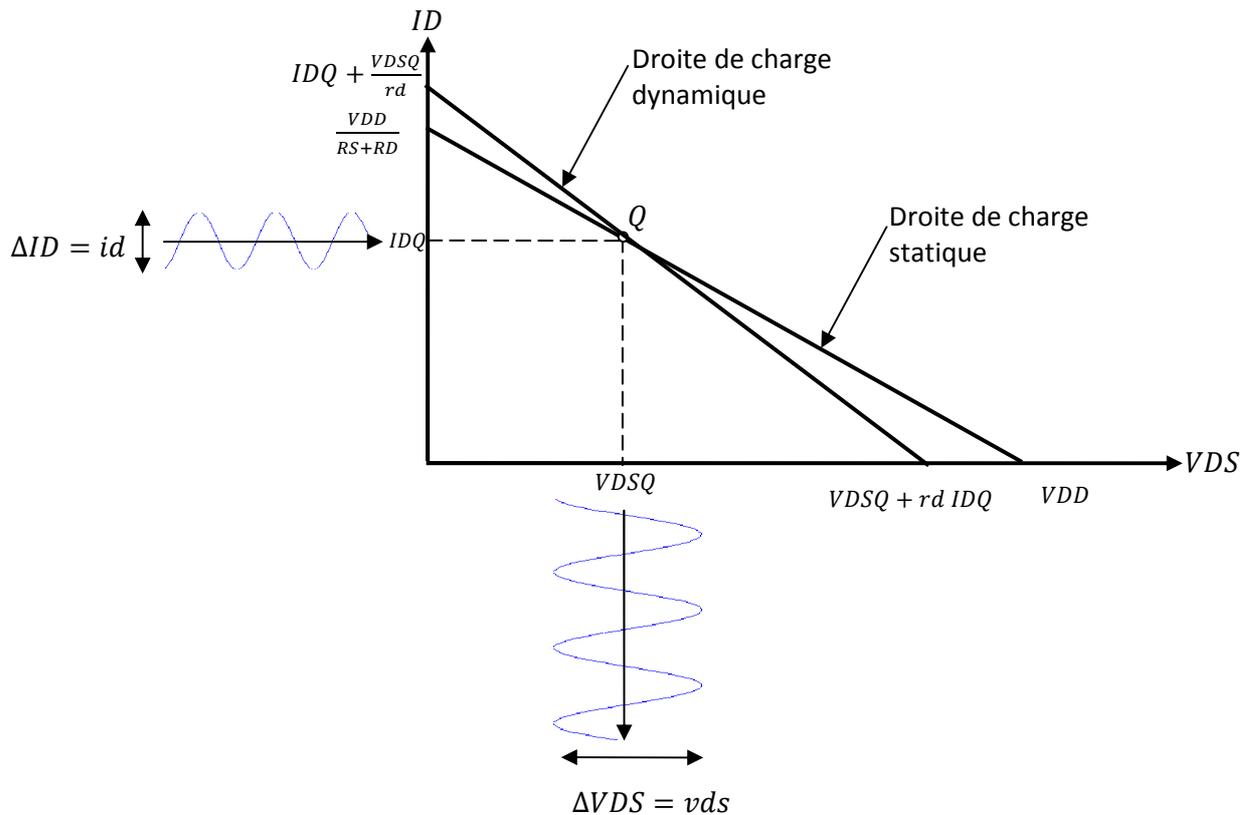
On tire le courant instantané  $ID$ , on obtient,

$$ID = -\frac{VDS}{rd} + \frac{VDSQ}{rd} + IDQ \quad (1.21)$$

Donc c'est encore une droite de la forme  $y = ax + b$ , avec cette fois ;

$$a = -\frac{1}{rd}$$

$$b = \frac{VDSQ}{rd} + IDQ$$



**Figure 1.22**

Pour tracer la droite de charge en dynamique on a besoin de 2 points *figure 1.22*, donc :

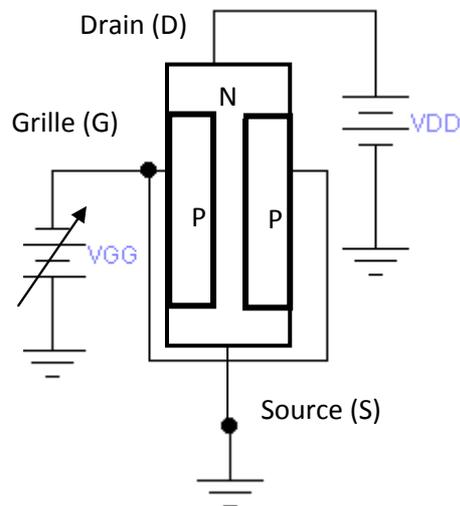
Pour  $V_{DS} = 0$  on a  $ID = IDQ + \frac{V_{DSQ}}{rd}$

Pour  $ID = 0$ , on a  $V_{DS} = V_{DSQ} + rd IDQ$   
 Avec  $rd = RD // RL$

Dans la *figure 1.22* le point de repos Q en dynamique peut être n'importe où sur la droite dynamique.

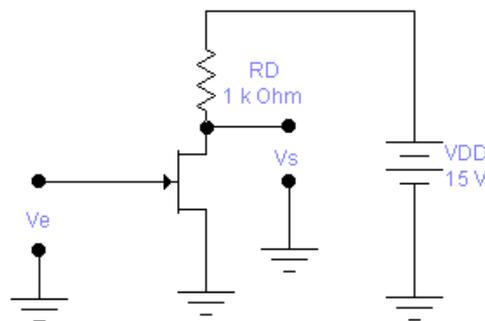
## 1.9 Exercices

### 19.1 Exercice 1



1. Quel est le type du TEC de la Figure ci-dessus ?
2. Comment s'appellent les 2 régions en gras séparant les substrats de types P et N ?
3. Expliquer le principe de fonctionnement en absence de la tension  $V_{GG}$ .
4. Expliquer le principe de fonctionnement en appliquant une tension variable  $V_{GG}$ .
5. Quel doit être le type du transistor si  $V_{DD}$  est polarisée en inverse, tracer la nouvelle Figure et expliquer le fonctionnement.

### 1.9.2 Exercice 2

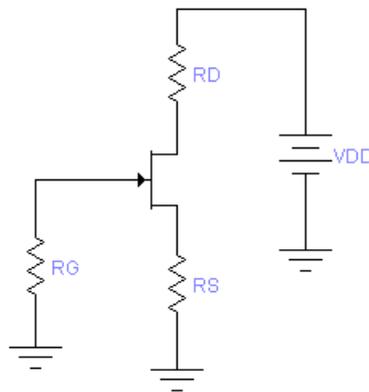


La Figure ci-dessus représente un transistor J FET à canal N monté en amplificateur à source commune, soit le tableau suivant :

$V_{GS}$ (V)	0	-1	-2	-3	-4
$I_D$ (mA)	35	20	8	2	0

1. Trouver la tension de sortie  $V_s$  si  $V_e = -2,9$  V.
2. Trouver la tension de sortie  $V_s$  si  $V_e = -2,2$  V.
3. Est-ce que c'est un amplificateur inverseur ou non inverseur ?
4. Trouver la transconductance en utilisant les résultats de 1 et 2.
5. Tracer la courbe de  $I_D$  en fonction de  $V_{GS}$  et indiquer comment la transconductance peut être calculée.

### 1.9.3 Exercice 3



Les paramètres internes d'un TEC sont  $I_{DSS}=10$  mA et  $V_P = -4$ V. L'alimentation du drain est  $V_{DD} =25$ V tandis que le point de repos choisi est  $I_D =2.5$  mA et  $V_{DS} = 5$ V, calculer  $R_D$  et  $R_S$ .

### 1.9.4 Exercice 4

1. Donner le schéma de principe d'un transistor MOSFET.
2. Quel sont les régimes de fonctionnement, en déduire la différence entre le J-FET.
3. On donne le tableau ci-dessous :

$V_{GS}$	-4	-2	-1	0	1	2
$I_D$	0	5	10	15	20	35

Tracer la courbe de  $I_D = f(V_{GS})$ , en déduire la transconductance  $g_m$  et la tension de pincement  $V_P$ .

4. Si on veut brancher une résistance entre le Drain et  $V_{DD}$ , quelle doit être sa valeur si le point de repos choisi est au milieu de sa gamme des courants utiles ?