

Chapitre 1

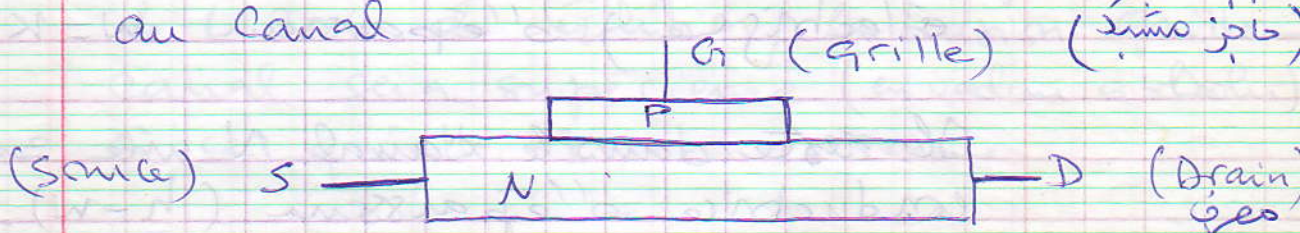
Le Transistor FET à Jonction

A- Principe DE Fonctionnement

① Constitution d'un FET

De même qu'il existe deux types de transistors bipolaires (NPN et PNP), le FET à jonction (ou JFET) est décliné en deux versions : le canal N et le canal P.

Le FET à jonction canal N est constitué d'une mince plaquette de silicium N qui va former le canal conducteur principal. Cette plaquette est recouverte partiellement d'une couche de silicium P de manière à former une jonction PN latérale par rapport au canal.

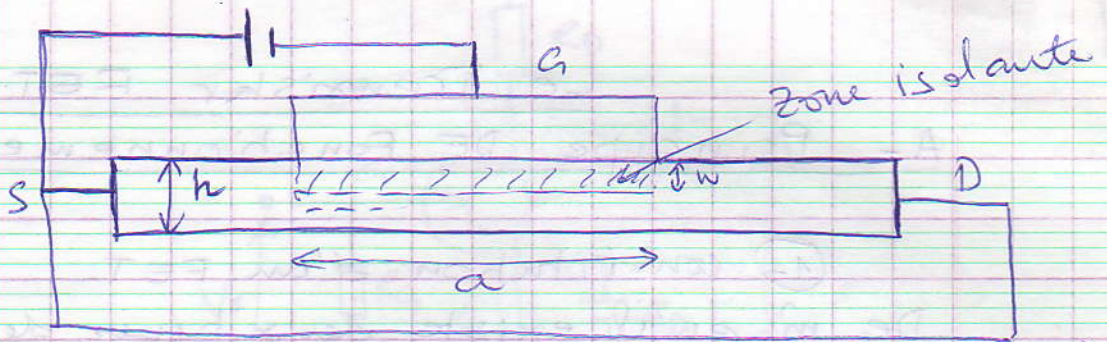


Le courant circulera dans le canal du Drain (D) vers la source S. L'électrode connectée à la couche de silicium P sert à commander la conduction du courant dans le canal ; on l'appelle la grille.

Le FET fonctionnera toujours avec la jonction G-canal polarisée en inverse.

② Phénomène de pincement

• Tension $V_{DS} = 0$ (V_{GS})



Modulation de conductivité à $V_{DS} = 0$

le canal est court-circuité ($V_{DS} = 0$) et la grille est à un potentiel négatif par rapport au canal (jonction polarisée en inverse)

Il y a la création d'une zone de déplétion: les trous de la zone P se recombinaient avec les électrons de la zone N (il y a plus de porteurs pour assurer la conduction électrique) d'épaisseur $w = K|V_{GS}|$

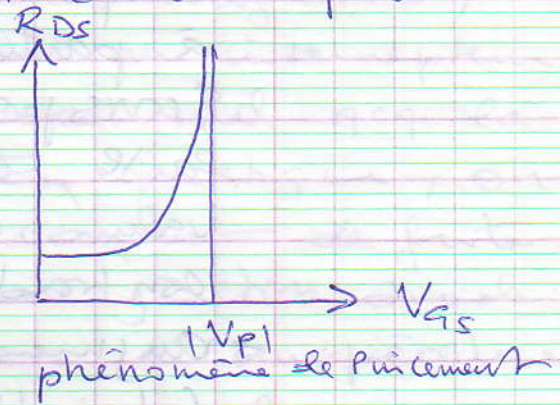
Il reste dans le canal N une zone conductrice d'épaisseur $(h-w)$. la résistance entre drain et source sera alors égale à:

$$R_{DS} = \rho \frac{a}{b(h-w)}$$

b : la largeur du canal
 ρ : sa résistivité

R_{DS} varie donc avec la tension (inverse) appliquée sur la jonction G-canal. A la limite $V_{GS} = V_p$ appelée tension de pincement, la zone de déplétion ferme le canal: il y a plus de porteurs

et la résistance entre source et drain tend vers l'infini: c'est le phénomène de pinçement.



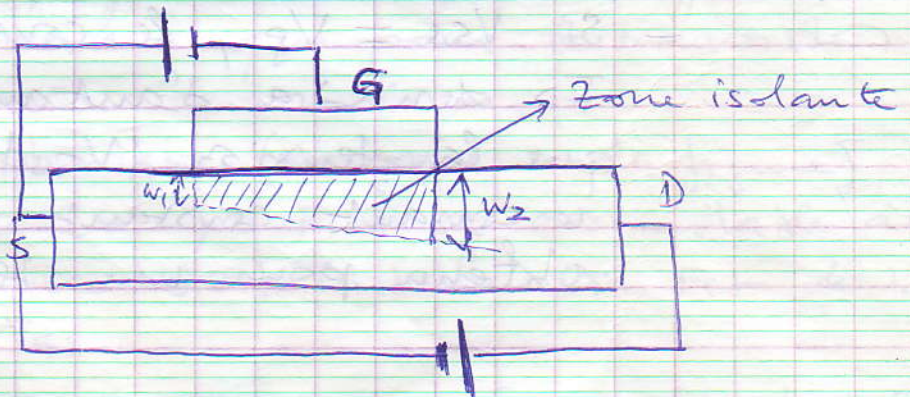
⊗ Tension D-S non nulle.

Si on applique une tension positive entre D et S, le gradient de potentiel présent tout le long du barreau de silicium constituant le canal va modifier le profil de la zone de déplétion, la tension grille-canal sera supérieure (en valeur absolue) à ce qu'elle est vers la source.

On a la relation (tous les termes sont négatifs)

$$V_{GD} = V_{GS} + V_{SD}$$

En conséquence, la zone isolante présente une forme similaire à celle donnée sur la fig.



Si on augmente V_{DS} , à V_{GS} donnée l'épaisseur isolante w_2 va augmenter à partir d'une certaine tension V_{DS} correspondant à une largeur du canal très faible, le courant va tendre vers une valeur constante : car deux phénomènes contradictoires vont s'équilibrer

* augmentation $V_{DS} \rightarrow$ augmentation de I (loi d'ohm)

* augmentation de V_{DS} va augmenter V_{DS} (effet d'élargir la zone de déplétion et diminution de la largeur du canal, donc de sa résistivité).

Un accroissement de la tension V_{DS} ne va donc pas entraîner une augmentation du courant dans le canal (le courant de drain), mais une augmentation de la résistivité de ce canal. le courant de drain va tendre vers une valeur constante.

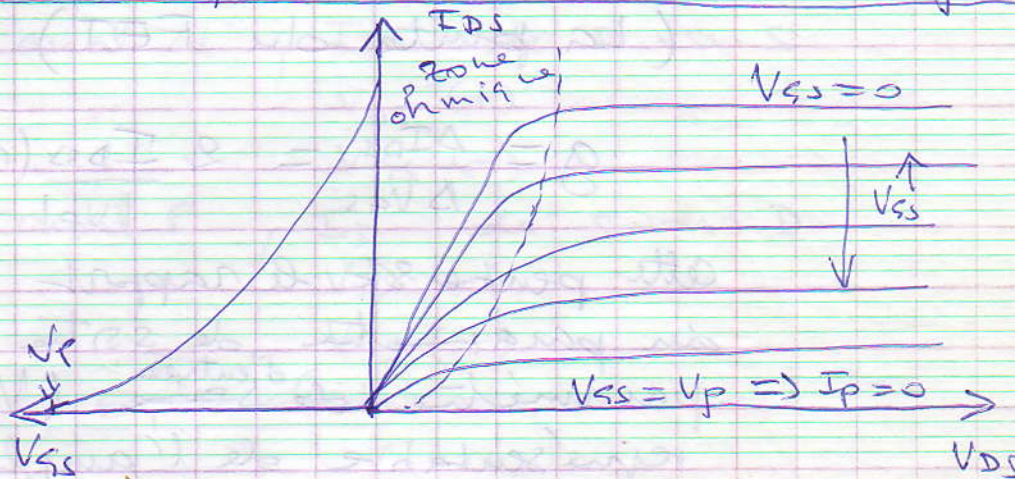
B- Caractéristiques

- Si $V_{GS} = V_p$, le courant du canal = 0
- I_D diminuera d'autant plus vite constant que la tension (V_{GS}) sera plus élevée
- le courant constant maximum sera obtenu pour une tension $G-S$ nulle

1- caractéristique d'entrée

La polarisation G-canal négative, soit $V_{GS} < 0$, donc c'est un interrupteur ouvert (courant ~~est~~ nul qqe la tension appliquée). En pratique, on aura un très léger courant de fuite (caractéristique d'une jonction diode polarisée en inverse). à température ambiante, $< \mu A \approx nA$

2- caractéristique de sortie et de transfert



$$I_{DS} = f(V_{DS}, V_{GS})$$

- * La partie en cours pendant à courant I_p (zone de pinçement), et qui servira à l'amplificateur de petit signaux de la même manière que pour le transistor bipolaire.
- * la zone ohmique (en gris sur la figure), dans cette zone, le FET se assimile à une résistance dont la valeur est F_{et} de la tension V_{GS}
- * le FET comme une résistance dont la valeur est pilotée en tension.

La caractéristique de transfert $I_{DS} = f(V_{GS})$ résume bien les limites du FET.

I_D nul pour $V_{GS} = V_P$
et I_{DSS} maxi pour une $V_{GS} = 0$

La courbe est assez bien approximée par une parabole d'eq:

$$I_{DS} = I_{DSS} \left(1 - \frac{V_{GS}}{V_P}\right)^2$$

La dérivée de cette équation
(La pente du FET)

$$g = \frac{\Delta I_{DS}}{\Delta V_{GS}} = 2 \frac{I_{DSS}}{|V_P|} \left(1 - \frac{|V_{GS}|}{|V_P|}\right)$$

Cette pente est le rapport de la variation du paramètre de sortie (I_{DS}) et du paramètre de ^{d'entrée} (V_{GS}); elle est bien représentative de l'amplification d'un signal d'entrée. La valeur maximum, atteinte pour $V_{GS} = 0$, vaut:

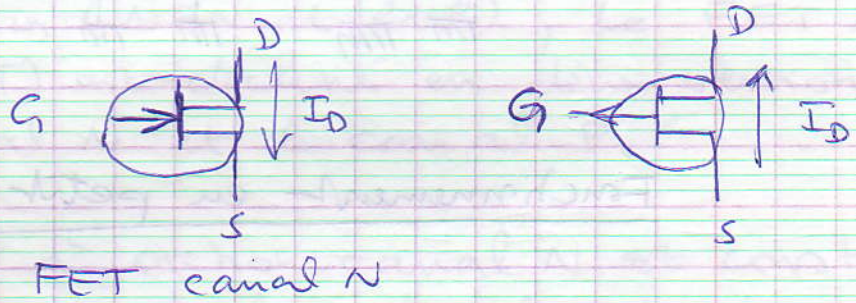
$$g_m = 2 \frac{I_{DSS}}{|V_P|}$$

$$g = g_m \left(1 - \frac{|V_{GS}|}{|V_P|}\right)$$

$$\frac{\Delta I_C}{\Delta V_{BE}} = \frac{\Delta I_C}{\Delta I_B} \cdot \frac{\Delta I_B}{\Delta V_{BE}} = \frac{\beta}{h_{ie}}$$

C) REPRESENTATION. SCHEMA EQUIV.

le FET est représenté par le symbole suivants :



FET canal N , I_D de D vers S
 V_{DS} (+)
 V_{GS} (-)

FET canal P , I_D de S vers D
 V_{DS} (-)
 V_{GS} (+)

schéma équivalent

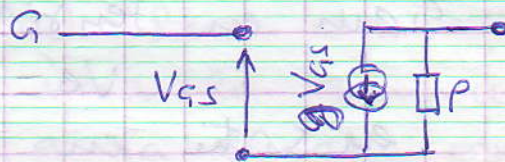
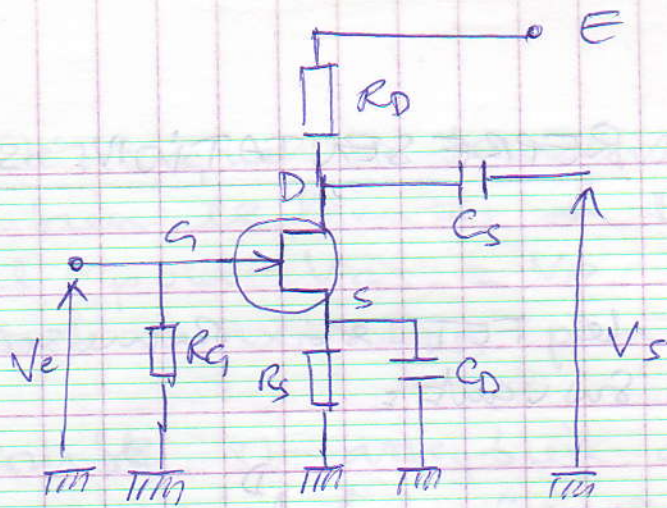


schéma équivalent alternatif
petits signaux.

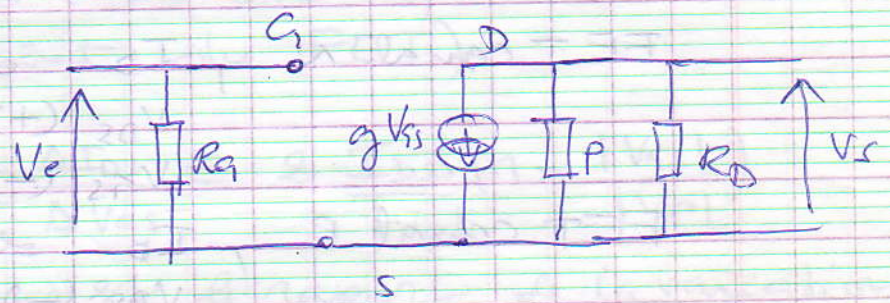
On remarque

- l'impédance G-S est très élevée (∞)
- en sortie, une source de courant commandée par la tension V_{GS} et non par un courant
- p est de l'ordre de centaines de k Ω , elle est négligée dans toute les applications.



$$Z_c = -\frac{j}{\omega C}$$

Fonctionnement en petit signaux



- le generateur de courant est commandé par la tension V_{gs}

o Gain en tension

$$V_e = V_{gs}$$

en sortie on néglige ρ

$$V_s = -g R_D V_{gs}$$

$$A_v = \frac{V_s}{V_e} = -g \cdot R_D$$

o impédance "entrée"

$$Z_e = R_g$$

o impédance de sortie $Z_s = R_D$